

计算机组成实验概述 (2021秋季学期)

计算机组成实验教学团队

北京航空航天大学计算机学院

实验教学目标

- 以MIPS体系结构指令集为例，理解计算机软硬件接口
 - 能够编写一定规模的汇编语言程序
 - 从指令的操作语义入手，推导出CPU设计结构
 - 能够根据每条指令的操作语义总结出处理需求，对应至功能部件
 - 根据处理需求的逻辑关系建立功能部件的连接关系
- 自主开发MIPS流水线CPU
 - 掌握流水线CPU的工作原理及其构造方法
 - 用**工程方法**开发符合**工业标准**且具有一定**工程规模**的流水线CPU
 - 理解计算机硬件工作原理及核心机制
 - 通过工程能力训练过程建立系统观点

进度总体安排（1-6-17周）

序号	项目名称	课下测试（PW）	课上测试（PT）	启动周	工作周数	检查周
预备	基础知识，Logisim，汇编，Verilog-HDL	SPOC平台完成自学 9月7日平台开放，校历第六周周二17时截止教程部分评测提交		1	5	6
P0	部件及状态机设计 (Logisim)	搭建CRC校验码计算电路，ALU, GRF，正则表达式匹配	Logisim完成部件及FSM设计	6	1	7
P1	部件及状态机设计 (Verilog-HDL)	实现splitter, ALU, EXT，格雷码计数器，合法表达式识别	Verilog-HDL完成部件及FSM设计	7	1	8
P2	汇编语言	矩阵乘法、回文串判断、卷积运算	选择题+编程题	8	1	9
P3	Logisim开发单周期CPU	完成支持8条指令的单周期CPU设计	新增指令	9	1	10
P4	Verilog开发单周期CPU	完成支持10条指令的单周期CPU设计	新增指令	10	1	11
P5	Verilog开发流水线CPU(1)	完成支持10指令流水线CPU设计	流水线工程化方法	11	1	12
P6	Verilog开发流水线CPU(2)	完成支持50指令流水线CPU设计	流水线工程化方法	12	1	13
P7	Verilog开发MIPS微系统	完成微型MIPS系统设计 开发简单I/O，验证中断	现场测试	13	2	15-17

预备阶段：Week 1 – 5

- 目标：学习相关基础知识、编程语言及设计工具
 - 数制
 - 数字电路
 - 门电路、组合电路、时序电路
 - 语言
 - Verilog-HDL - 语法、数字系统硬件设计与验证
 - 汇编语言 - MIPS指令集、汇编程序解析及设计
 - 工具
 - Logisim – 数字电路模拟器，具有直观友善的电路建模和仿真功能
 - ISE - 硬件描述语言模拟器，搭建功能型计算机，并仿真验证
 - MARS - MIPS模拟器，辅助MIPS汇编程序编写、调试，设计验证的黄金模型
- 学习方式：在SPOC平台完成相关教学内容的自学与评测
 - 课程平台使用方法参看《计算机组成课程平台使用说明》
 - <https://bhpan.buaa.edu.cn:443/link/5C5846A383A05CCA93C1B084187F70F0>
有效期限：2021-10-03 23:59
访问密码：ZkZH

预备阶段：教程部分的建议学习顺序

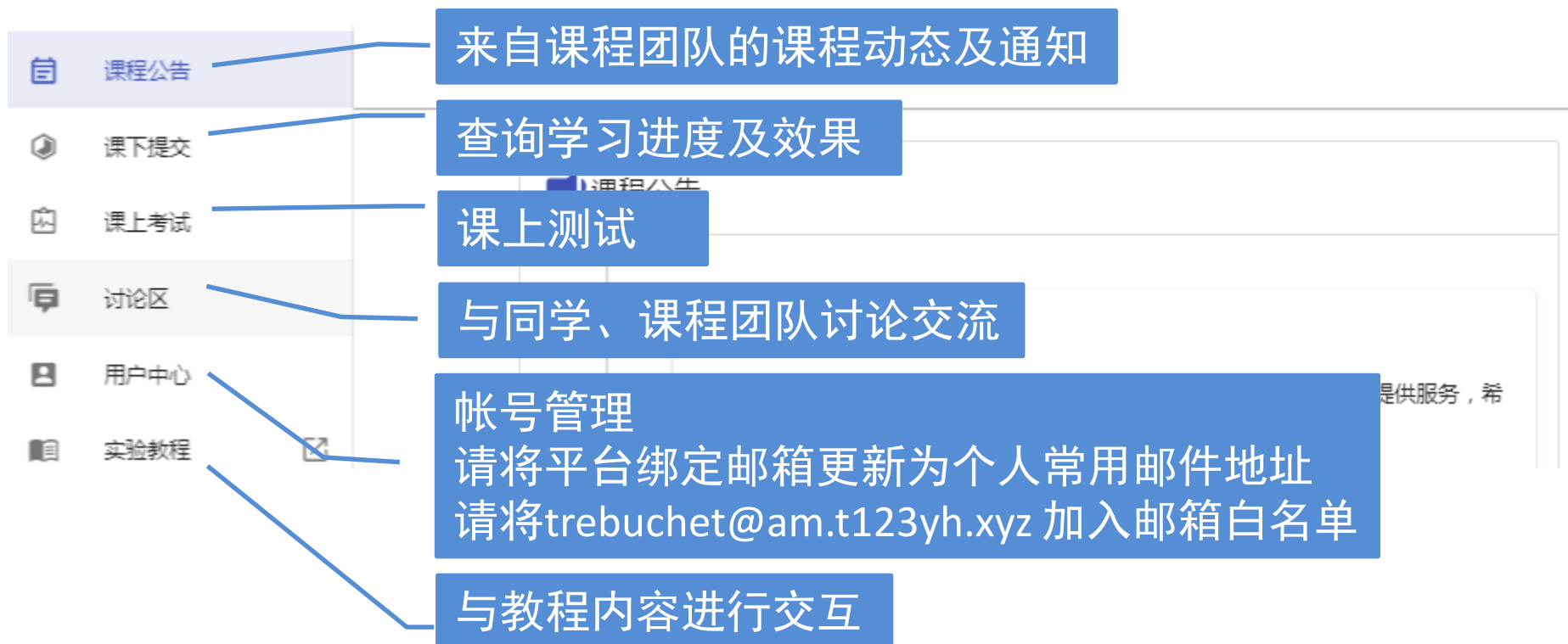
- 基础知识（数制等）
- Logisim
- Verilog-HDL与ISE
- MIPS指令集及汇编语言
- 参见《2021 秋季计组实验预习建议》
 - 课程平台登录查询公告

实验开发与考核

- 实验开发：课下自学学习，并独立完成实验
 - 1) 学习SPOC平台提供的学习材料
 - 2) 在SPOC平台完成知识点评测（选择题、填空、判断题等）
 - 3) 完成实验开发，并提交project至SPOC平台进行自动评测
- 实验考核：实验课进行测试评价完成质量
 - 1) 基于SPOC平台完成知识点测评（选择题、填空、判断题等）
 - 2) 以课下project为基础，在限定时间内实现课上新增设计要求
 - 第1步) 从SPOC平台下载个人课下提交的project
 - 第2步) 完善project以支持课上新增设计要求
 - 第3步) 提交project至SPOC平台进行自动评测
 - 第4步) 一对一方式，回答问题

对于任一实验，如未通过实验考核，须继续参加次周实验考核，直至通过考核

SPOC平台：基本使用（1/2）



在登录、修改课程平台绑定邮箱过程中遇到问题，
请发送邮件至 co_account@cscore.net.cn
在顺利登录平台后，访问教程学习中遇到的问题，
请在课程平台**讨论区**发帖答疑

SPOC平台：基本使用（2/2）

计算机组成教程

课程各个单元，按照课程进度发布

搜索

Welcome 课程信息 基础知识 Logisim Verilog-HDL 与 ISE MIPS 指令集及汇编语言

对应一组学习序列

Logisim 门电路第一步

目录

Logisim 门电路

Logisim

欢迎来到 Logisim 的世界

Logisim 门电路

Logisim 门电路第一步

常见门电路

Tunnel

Probe

探索 Logisim 库

搭建 swap 电路

Logisim 组合电路

子电路

Wire Bundles

组合电路初步练习

多路选择器、译码器和多路分配器

应用中的多路选择器、译码器和多路分配器

利用 Logisim 进行组合逻辑分析

分析复杂电路

排序电路

Logisim 时序电路

Logisim 仿真与调试

应用与挑战

Logisim 门电路

初学示例

- 工具布局
- 构建简单的异或电路
 - 放置门
 - 添加连线
 - 添加文本信息
 - 测试电路

Lecture Video：知识点视频讲解

Lecture Text：知识点讲解

Quiz：知识点测试（选择/填空/判断等）

Worked Example：示例题解

Project Work：提交课下作业

0:00 / 6:21

SPOC平台：追踪学习全过程

- 学生学习教学素材 (Lecture Video, Lecture Text)的情况
- 平台将记录知识点评测情况
- 论坛活跃情况
 - 教学经验表明：多参与讨论，将有助于完成实验
 - 鼓励利用网络资源搜索或以讨论的方式解决问题
 - 将未能解决的问题在论坛发布，以寻求帮助
 - 将解决方案在论坛分享，并**积极帮助他人解决问题**
- 自动评测
 - 记录在SPOC平台上的历次提交版本及评测结果

实验成绩评定方法

- 单次Project成绩
 - SPOC学习情况
 - 课下Project完成情况
 - 课上新增设计需求完成及问答情况
- 实验课最终成绩
 - 最终成绩由**教程、历次Project成绩及SPOC论坛活跃度**综合评定
 - 依据SPOC论坛活跃度（有效提问 / 回复）适度**加分**

学术诚实

- 查重机制：自动化查重+人工确认
 - 若发现异常，将人工复查并进行答辩
- 查重范围：涵盖**本届**及**往届**
- 惩罚措施：抄袭行为确认后，课程成绩为**零分**
 - 鼓励大家交流、讨论，但禁止**拷贝**代码
- 重要的事情说3遍：**抄袭零容忍！ 抄袭零容忍！ 抄袭零容忍！**
 - 不要挑战学院惩处学术不端的决心
 - 2016秋季学期：**15**人被取消课程成绩
 - 抄袭不仅导致课程成绩清零，还影响奖学金评定、保研等

计组实验教学团队

• 教师团队



高小鹏



万寒



张亮



李辉勇



杨建磊



傅翠娇

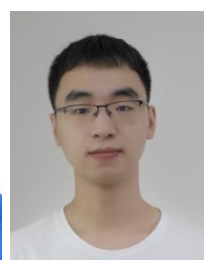
• 教辅团队 —— Student Teaching Assistant advisor



钟梓皓



孔祥浩



田韵豪



王鹏博



仲书璋



叶焯仁



王光祖



田旗舰



潘天蔚



马婧颖



刘传



郭衍培



樊佳昊



杜雨新



董翰元



陈纪源



陈昊



常浩轩

S.T.A.R.教辅团队

- **S.T.A.R.:** **S**tudent **T**eaching **A**ssistant advisor**R**
- 教辅团队职责
 - 参与实验体系、实验环境建设
 - 亲历整个实验过程，产生的改进想法非常宝贵且具建设性
 - 线上线下答疑、分享学习经验
 - 知识要用来分享，才能承先启后
 - 成功不只付出与拥有，有承担才是最高的成就！
 - 检查实验进度、完善评价体系
 - 希望每一位同学都能凭借自己的努力，获得一份公正的评判

2022计组课设S.T.A.R.教辅团队招募

- 如果你优秀且具有强烈的责任感与使命感，请加入我们！
- 我们期待你们新鲜的想法与做法，为课程添加新的活力！
- 学院将向S.T.A.R.团队成员颁发荣誉证书！
- 祝S.T.A.R.每位成员因有能力帮助他人，始终快乐！

特别提示

- 务必在**学校教务系统**完成选课，否则无法录入成绩
- 1-5周的预备阶段学习：在很大程度上决定能否通过课程
 - 不要因为这5周没有监督就懈怠
 - 务必做好自我管理，抓紧自学